

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2001156273
PUBLICATION DATE : 08-06-01

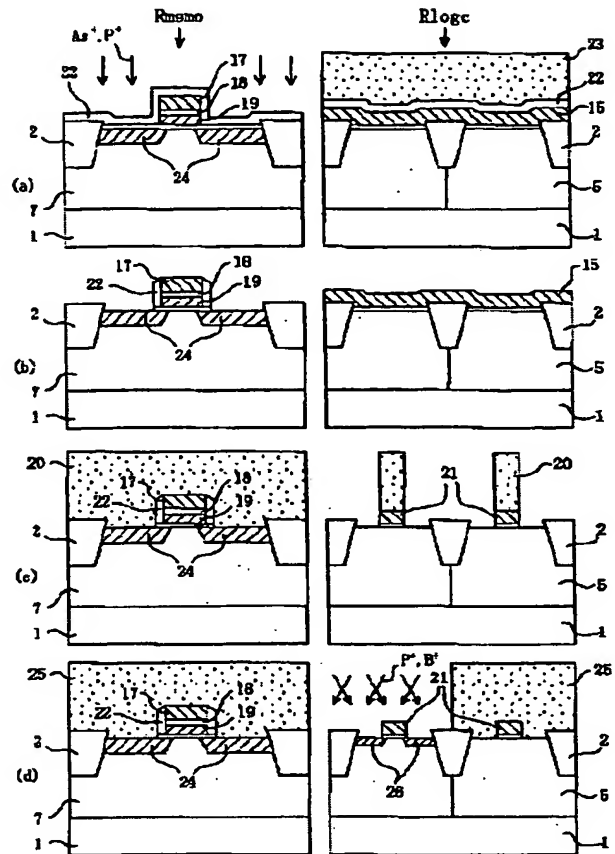
APPLICATION DATE : 29-11-99
APPLICATION NUMBER : 11337069

APPLICANT : MATSUSHITA ELECTRONICS
INDUSTRY CORP;

INVENTOR : YAMAGUCHI MINEO;

INT.CL. : H01L 27/115 H01L 21/8238 H01L
27/092 H01L 21/8247 H01L 29/788
H01L 29/792

TITLE : MANUFACTURING METHOD FOR
SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a manufacturing method for a semiconductor device that has a high-performance non-volatile memory element and a minute logic element.

SOLUTION: While a conductive film 15 in a logic region Rlogic remains, a control gate electrode 17 of a non-volatile memory element, an interelectrode-insulating film 18, and a floating gate electrode 19 are formed in a memory region Rmemo, an insulating film 22 for injection protection is formed on a substrate, and ion implantation for forming the source and drain diffusion layer of the non-volatile memory element is made. After that, the insulating film 22 for injection protection is removed, the conductive film 15 is subjected to patterning, and a gate electrode 21 of a logic element is formed. Then, the gate electrode 21 is used as a mask for carrying out impurity ion implantation for forming the LDD diffusion layer of the logic element. In this case, the insulating film 22 for injection protection does not exist in the logic region Rlogic, thus providing shallow PN junction, and hence obtaining the logic element being suitable for refining.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-156273

(P2001-156273A)

(43) 公開日 平成13年6月8日(2001.6.8)

(51) Int.Cl.⁷

識別記号

F I

テームト* (参考)

H 0 1 L 27/115
21/8238
27/092
21/8247
29/788

H 0 1 L 27/10
27/08
29/78

4 3 4 5 F 0 0 1
3 2 1 K 5 F 0 4 8
3 7 1 5 F 0 8 3
5 F 1 0 1

審査請求 未請求 請求項の数 7 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願平11-337069

(22) 出願日 平成11年11月29日(1999.11.29)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 土井 博之

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 山口 峰生

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

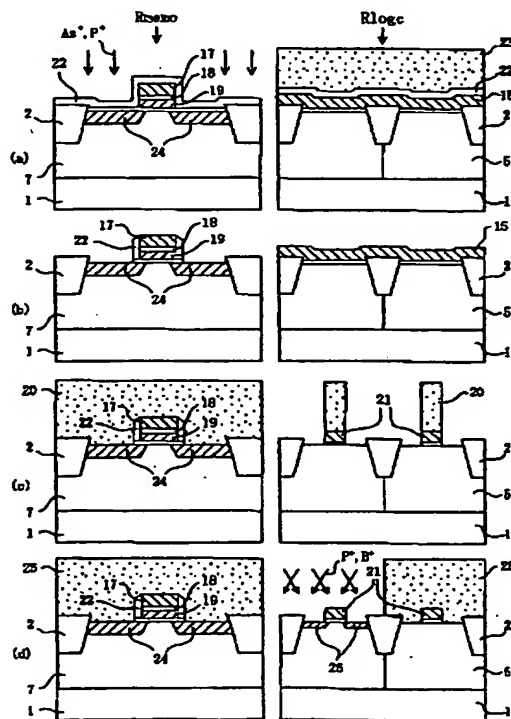
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 高性能の不揮発性メモリ素子と微細化されたロジック素子とを備えた半導体装置を実現するための製造方法を提供する。

【解決手段】 ロジック領域Rlogicにおける導体膜15を残したまま、メモリ領域Rmemoにおいて不揮発性メモリ素子の制御ゲート電極17、電極間絶縁膜18及び浮遊ゲート電極19を形成した後、基板上に注入保護用の絶縁膜22を形成した後、不揮発性メモリ素子のソース・ドレイン拡散層を形成するためのイオン注入を行なう。その後、注入保護用の絶縁膜22を除去してから、導体膜15をパターニングして、ロジック素子のゲート電極21を形成する。その後、ゲート電極21をマスクとして、ロジック素子のLDD拡散層形成のための不純物イオン注入を行なう。その際、ロジック領域Rlogicには注入保護用の絶縁膜22がないので、浅いPN接合を有し、微細化に適したロジック素子が得られる。



【特許請求の範囲】

【請求項1】 半導体基板上に、不揮発性メモリ素子が配置されるメモリ領域と、ロジック素子が配置されるロジック領域とを有する半導体装置の製造方法であって、上記メモリ領域に、上記不揮発性メモリ素子のゲート絶縁膜となる第1の絶縁膜と、第1の導体膜と、第2の絶縁膜とを形成する一方、上記ロジック領域に、上記ロジック素子のゲート絶縁膜を形成する工程(a)と、上記工程(a)の後に、基板上に第2の導体膜を形成する工程(b)と、上記ロジック領域における上記第2の導体膜を残したままで、上記メモリ領域における第2の導体膜、第2の絶縁膜及び第1の導体膜をパターンニングして、不揮発性メモリ素子の制御ゲート電極、電極間絶縁膜及び浮遊ゲート電極からなる積層ゲートを形成する工程(c)と、上記工程(c)の後に、基板上に、上記積層ゲートを覆う注入保護用の第3の絶縁膜を形成する工程(d)と、上記工程(d)の後に、上記半導体基板の上記浮遊ゲート電極の両側に位置する領域に、上記不揮発性メモリ素子のソース・ドレイン拡散層を形成するための不純物イオンを注入する工程(e)と、上記工程(e)の後に、上記第3の絶縁膜の異方性エッチングを行なって、上記第3の絶縁膜のうち少なくとも上記第2の導体膜上にある部分を除去する工程(f)と、

上記ロジック領域に残されている上記第2の導体膜をパターンニングして、上記ロジック素子のゲート電極を形成する工程(g)とを含む半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

上記工程(e)の後、上記工程(f)の前に、酸化雰囲気中で基板に熱処理を施す工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1又は2記載の半導体装置の製造方法において、

上記工程(g)の後に、上記ゲート電極をマスクとして、上記ロジック素子のLDD拡散層を形成するための不純物イオンの注入を行なう工程と、

その後、上記不揮発性メモリ素子の浮遊ゲート電極、電極間絶縁膜及び制御ゲート電極の側面と、上記ロジック素子のゲート電極の側面とにサイドウォールスペースを形成する工程と、

上記ロジック領域において、上記ゲート電極及びサイドウォールスペースをマスクとして、上記ロジック素子のソース・ドレイン拡散層を形成するための不純物イオンの注入を行なう工程とをさらに含むことを特徴とする半導体装置の製造方法。

【請求項4】 半導体基板上に、不揮発性メモリ素子が配置されるメモリ領域と、ロジック素子が配置されるロジック領域とを有する半導体装置の製造方法であって、

上記メモリ領域に、上記不揮発性メモリ素子のゲート絶縁膜となる第1の絶縁膜と、導体膜と、第2の絶縁膜とを形成する一方、上記ロジック領域に、上記ロジック素子のゲート絶縁膜を形成する工程(a)と、

上記工程(a)の後に、基板上に多結晶シリコン膜を形成する工程(b)と、

上記多結晶シリコン膜のうち、上記メモリ領域全体に位置する部分と上記ロジック領域のNチャネル型ロジック素子形成領域に位置する部分とに、N型不純物イオンを注入する工程(c)と、

上記ロジック領域における上記多結晶シリコン膜を残したままで、上記メモリ領域における多結晶シリコン膜、第2の絶縁膜及び導体膜をパターンニングして、不揮発性メモリ素子の制御ゲート電極、電極間絶縁膜及び浮遊ゲート電極からなる積層ゲートを形成する工程(d)と、

上記工程(d)の後に、基板上に、上記積層ゲートを覆う注入保護用の第3の絶縁膜を形成する工程(e)と、

上記工程(e)の後に、上記半導体基板の上記浮遊ゲート電極の両側に位置する領域に、上記不揮発性メモリ素子のソース・ドレイン拡散層を形成するための不純物イオンを注入する工程(f)と、

上記工程(f)の後に、上記第3の絶縁膜の異方性エッチングを行なって、上記第3の絶縁膜のうち少なくとも上記多結晶シリコン膜上にある部分を除去する工程(g)と、

上記工程(f)の後、上記工程(g)の前又は後に、上記多結晶シリコン膜のうち上記ロジック領域のPチャネル型ロジック素子形成領域に位置する部分にP型不純物イオンを注入する工程(h)と、

上記ロジック領域に残されている上記多結晶シリコン膜をパターンニングして、上記ロジック素子のゲート電極を形成する工程(i)とを含む半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、

上記工程(f)の後、上記工程(h)の前に、酸化性雰囲気中で基板に熱処理を施す工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項6】 請求項4又は5記載の半導体装置の製造方法において、

上記工程(i)の後に、上記ゲート電極をマスクとして、上記Pチャネル型、Nチャネル型ロジック素子のLDD拡散層を形成するための不純物イオンの注入を個別に行なう工程と、

その後、上記不揮発性メモリ素子の浮遊ゲート電極、電極間絶縁膜及び制御ゲート電極の側面と、上記ロジック素子のゲート電極の側面とにサイドウォールスペースを形成する工程と、

上記ロジック領域において、上記ゲート電極及びサイドウォールスペースをマスクとして、上記Pチャネル型、Nチャネル型ロジック素子のソース・ドレイン拡散層を

形成するための不純物イオンの注入を個別に行なう工程とをさらに含むことを特徴とする半導体装置の製造方法。

【請求項7】 請求項1～6のうちいずれか1つに記載の半導体装置の製造方法において、

上記注入保護用の第3の絶縁膜は、CVD法によって形成されたシリコン酸化膜であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性メモリ素子とロジック素子とを含む半導体装置の製造方法に関するものである。

【0002】

【従来の技術】近年、不揮発性メモリ素子（PROMメモリセル）とロジック素子（CMOSTランジスタ）とを混載した半導体装置においては、不揮発性メモリ素子の信頼性向上と、ロジック素子の高性能化とを両立することができる製造方法が求められている。

【0003】以下、従来の混載型半導体装置の製造方法について、図面を参照しながら説明する。

【0004】図12(a)～(d)から図16(a)～(c)までの各図は、従来の半導体装置の製造方法を工程順に説明するための断面図である。図12(a)～(d)から図16(a)～(c)までの各図において、R_{memo}は不揮発性メモリ素子が搭載されるメモリ領域、R_{logic}はロジック素子（Pチャネル型、Nチャネル型トランジスタ）が搭載されるロジック領域、101はP型単結晶シリコンからなるシリコン基板、102はシリコン酸化膜からなる素子分離絶縁膜、103はシリコン酸化膜からなる第1の注入保護膜、105はN型ウェル、107はP型ウェル、108は不揮発性メモリ素子のゲート絶縁膜、109は第1の多結晶シリコン膜、110はONO膜（酸化膜／窒化膜／酸化膜の積層膜）、114はロジック素子のゲート絶縁膜、115は第2の多結晶シリコン膜、117は不揮発性メモリ素子の制御ゲート電極、118は不揮発性メモリ素子の電極間絶縁膜、119は不揮発性メモリ素子の浮遊ゲート電極、121はロジック素子のゲート電極、122は第2の注入保護膜、124は不揮発性メモリ素子のソース・ドレイン拡散層、126はNチャネル型トランジスタのLDD拡散層、128はPチャネル型トランジスタのLDD拡散層、129は不揮発性メモリ素子およびロジック素子のサイドウォールスペーサ、131はNチャネル型トランジスタのソース・ドレイン拡散層、133はPチャネル型トランジスタのソース・ドレイン拡散層、104、106、111、112、113、116、120、123、125、127、130、132は、イオン注入やエッチングの際に用いられるフォトレジスト膜からなるマスクである。

【0005】まず、図12(a)に示す工程で、シリコン基板101のメモリ領域R_{memo}とロジック領域R_{logic}の上に、シリコン酸化膜からなる素子分離絶縁膜102を形成した後、シリコン基板101の素子分離絶縁膜102によって囲まれる領域の上にシリコン酸化膜からなる第1の注入保護膜103を形成する。

【0006】次に、図12(b)に示す工程で、メモリ領域R_{memo}及びロジック領域R_{logic}のNチャネル型トランジスタ形成領域を覆うN型ウェル形成用マスク104を用い、ロジック領域R_{logic}のPチャネル型トランジスタ形成領域に、N型不純物（リン等）のイオン注入を行なって、シリコン基板101内にN型ウェル105を形成する。

【0007】次に、図12(c)に示す工程で、N型ウェル形成用マスク104を除去した後、ロジック領域R_{logic}のPチャネル型トランジスタ形成領域を覆うP型ウェル形成用マスク106を用い、メモリ領域R_{memo}全体及びロジック領域R_{logic}のNチャネル型トランジスタ形成領域に、P型不純物（ボロン等）のイオン注入を行なって、シリコン基板101内にP型ウェル107を形成する。このとき同時に、P型ウェル形成用マスク106を用いて、シリコン基板101上に、不揮発性メモリ素子及びNチャネル型トランジスタのしきい値を制御するための不純物イオン注入を行なう。

【0008】次に、図12(d)に示す工程で、P型ウェル形成用マスク106を除去した後、バッファード弗酸を用いたウェットエッチによって、メモリ領域R_{memo}及びロジック領域R_{logic}の双方において第1の注入保護膜103を除去する。

【0009】次に、図13(a)に示す工程で、熱酸化法により、メモリ領域R_{memo}及びロジック領域R_{logic}においてシリコン酸化膜からなる不揮発性メモリ素子のゲート絶縁膜108を形成した後、CVD法により、リンを含む第1の多結晶シリコン膜109を形成する。この第1の多結晶シリコン膜109は、不揮発性メモリ素子の浮遊ゲート電極となるものである。その後、図示しないマスクを用いて、不揮発性メモリ素子のチャネル幅方向の寸法を決定するために第1の多結晶シリコン膜109をパターニングする。その後、第1の多結晶シリコン膜109をパターニングするためのマスクを除去した後、CVD法により、不揮発性メモリ素子の電極間絶縁膜となるON膜110a（酸化膜／窒化膜の積層膜）を形成する。

【0010】次に、図13(b)に示す工程で、メモリ領域R_{memo}全体を覆うマスク111を用いて、ドライエッチにより、ロジック領域R_{logic}のON膜110aおよび第1の多結晶シリコン膜109を順次除去する。

【0011】次に、図13(c)に示す工程で、メモリ領域R_{memo}全体及びロジック領域R_{logic}のNチャネル型トランジスタ形成領域を覆うしきい値制御注入用マスク

112を用い、ドライエッチ後に残存しているゲート絶縁膜108を注入保護膜として、ロジック領域RlogcのPチャネル型トランジスタのしきい値を制御するためのリンイオン(P^+)の注入を行なう。

【0012】次に、図13(d)に示す工程で、しきい値制御注入用マスク112を除去した後、メモリ領域Rmemo及びロジック領域RlogcのPチャネル型トランジスタ形成領域を覆うしきい値制御注入用マスク113を用い、ゲート絶縁膜108を注入保護膜として、ロジック領域RlogcのNチャネル型トランジスタのしきい値を制御するためのボロンイオン(B^+)の注入を行なう。

【0013】次に、図14(a)に示す工程で、しきい値制御注入用マスク113を除去した後、バッファード弗酸を用いたウェットエッチによって、ロジック領域Rlogc上に残存しているゲート絶縁膜108を除去する。

【0014】次に、図14(b)に示す工程で、熱酸化法により、シリコン酸化膜からなるロジック素子のゲート絶縁膜114を形成する。このとき、メモリ領域RmemoにおけるON膜110aの表面も酸化されてONO膜110が形成される。その後、CVD法により、不揮発性メモリ素子の制御ゲート電極およびロジック素子のゲート電極となるリンを含む第2の多結晶シリコン膜115を形成する。

【0015】次に、図14(c)に示す工程で、ロジック領域Rlogc全体及びメモリ領域Rmemoのゲート形成領域を覆う積層ゲート形成用マスク116を用いたドライエッチングにより、メモリ領域Rmemoにおける第2の多結晶シリコン膜115、第1の絶縁膜110及び第1の多結晶シリコン膜109を順次パターニングして、制御ゲート電極117、電極間絶縁膜118及び浮遊ゲート電極119からなる不揮発性メモリ素子の積層ゲートを形成する。

【0016】次に、図14(d)に示す工程で、積層ゲート形成用マスク116を除去した後、メモリ領域Rmemo全体及びロジック領域Rlogcのゲート形成領域を覆うゲート電極形成用マスク120を用いたドライエッチにより、ロジック領域Rlogcにおける第2の多結晶シリコン膜115をパターニングして、ロジック素子のゲート電極121を形成する。

【0017】次に、図15(a)に示す工程で、ゲート電極形成用マスク120を除去した後、熱酸化法により、シリコン基板101上の露出しているシリコン層(単結晶シリコン層及び多結晶シリコン層)の表面部分を酸化して、シリコン基板101、不揮発性メモリ素子の積層ゲート、ロジック素子のゲート電極121を覆うシリコン酸化膜からなる第2の注入保護膜122を形成する。この第2の注入保護膜122は、不揮発性メモリ素子のソース・ドレイン注入の際の保護膜となるものである。

【0018】次に、図15(b)に示す工程で、ロジッ

ク領域Rlogc全体を覆うソース・ドレイン形成用マスク123を用い、例えばヒ素イオン(As^+)およびリンイオン(P^+)を注入することにより、不揮発性メモリ素子のソース・ドレイン拡散層124を形成する。

【0019】次に、図15(c)に示す工程で、ソース・ドレイン形成用マスク123を除去した後、酸化性雰囲気中で基板にイオン注入によるダメージ除去のための熱処理を施す。その後、メモリ領域Rmemo全体及びロジック領域RlogcのPチャネル型トランジスタ形成領域を覆うLDD注入用マスク125を用いて、リンイオン(P^+)を注入することにより、ロジック領域RlogcのNチャネル型トランジスタのLDD拡散層126を形成する。このイオン注入の際、イオン加速用電圧が約50keVで、ドーズ量が約 $1 \times 10^{13} \text{ cm}^{-2}$ で、イオン注入方向を基板の法線方向から約 25° 傾けて、4ステップ注入を行なっている。さらに、パンチスルー抑制のために、LDD注入用マスク125を用い、ボロンイオン(B^+)を、イオン加速用電圧約50keV、ドーズ量約 $3 \times 10^{12} \text{ cm}^{-2}$ 、イオン注入方向の傾け角約 25° 、4ステップの条件で注入する。

【0020】次に、図15(d)に示す工程で、LDD注入用マスク125を除去した後、メモリ領域Rmemo全体及びロジック領域RlogcのNチャネル型トランジスタ形成領域を覆うLDD注入用マスク127を用いて、フッ化ボロンイオン(BF_2^+)を注入することにより、ロジック領域RlogcのPチャネル型トランジスタのLDD拡散層128を形成する。このイオン注入の際、イオン加速用電圧が約50keVで、ドーズ量が約 $1 \times 10^{13} \text{ cm}^{-2}$ で、イオン注入方向を基板の法線方向から約 7° 傾けて、4ステップ注入を行なっている。

【0021】次に、図16(a)に示す工程で、LDD注入用マスク127を除去した後、CVD法により、基板上にTEOS膜を堆積した後、異方性ドライエッチングによって、不揮発性メモリ素子の積層ゲートの側面およびロジック素子のゲート電極の側面にサイドウォールスペーサ129を形成する。

【0022】次に、図16(b)に示す工程で、メモリ領域Rmemo全体及びロジック領域RlogcのPチャネル型トランジスタ形成領域を覆うソース・ドレイン注入用マスク130を用い、ヒ素等のイオンを注入することにより、ロジック領域RlogcのNチャネル型トランジスタのソース・ドレイン拡散層131を形成する。

【0023】次に、図16(c)に示す工程で、ソース・ドレイン注入用マスク130を除去した後、メモリ領域Rmemo全体及びロジック領域RlogcのNチャネル型トランジスタ形成領域を覆うソース・ドレイン注入用マスク132を用い、ボロン等のイオンを注入することにより、ロジック領域RlogcのPチャネル型トランジスタのソース・ドレイン拡散層133を形成する。

【0024】このように、不揮発性メモリ素子の浮遊ゲ

ート電極119を第2の注入保護膜122で被覆した状態で、不揮発性メモリ素子のソース・ドレイン拡散層124を形成するためのイオン注入を行なうことにより、ヒ素やリン等の不純物イオンが、浮遊ゲート電極119下部のエッジ領域において浮遊ゲート電極を突き抜けて、その下方のゲート絶縁膜に侵入する現象を抑制することができるため、不揮発性メモリ素子のゲート絶縁膜108の絶縁性劣化を抑制することができる。

【0025】また、第2の注入保護膜122を形成しても完全には不純物イオンの突き抜けを抑えることができないが、不純物のイオン注入後に酸化性雰囲気中で熱処理することにより、不純物イオン注入によるダメージを受けて絶縁性が劣化した不揮発性メモリ素子のゲート絶縁膜108を再酸化して絶縁性を回復できるため、高い信頼性を有するゲート絶縁膜を備えた不揮発性メモリ素子を得られる。

【0026】

【発明が解決しようとする課題】しかしながら、上記従来の混載型半導体装置の製造方法では、以下のような不具合があった。

【0027】第1に、図15(c)、(d)に示す工程で、ロジック素子のLDD形成用イオン注入を行なう際に、基板全面を覆う不揮発性メモリ素子のソース・ドレイン注入保護膜となる第2の注入保護膜122が設けられているので、イオン加速用電圧を高い値(約50keV)にせざるを得ない。その結果、LDD拡散層-P型ウェル間に浅いPN接合を形成することができず、素子微細化の要請に応えることが困難であった。

【0028】第2に、図15(a)に示す工程で、不揮発性メモリ素子のソース・ドレイン注入保護膜となる第2の注入保護膜122を熱酸化により形成する際に、ロジック素子のゲート絶縁膜114の両端部に酸素が侵入して酸化膜が成長することによるいわゆるゲートバースピークが発生する。その結果、ロジック素子のチャネル長のばらつきが大きくなり、ショートチャネル効果やトランジスタ特性のばらつきが顕著になる、つまり信頼性の低下を招くおそれがあった。

【0029】第3に、Pチャネル型トランジスタの高性能化(高速動作化)を図るためには、Nチャネル型トランジスタのゲート電極にリンをドーパする一方、Pチャネル型トランジスタのゲート電極にはボロンをドーパする(デュアルゲート構造)ことが好ましい。ところが、図15(a)に示す工程で、熱酸化のために基板全体を比較的高温に保持すると、Pチャネル型トランジスタのゲート電極中のボロンが半導体基板まで拡散して閾値のばらつきを生ぜしめるおそれがある。すなわち、この従来技術のごとく、Pチャネル型、Nチャネル型トランジスタの双方のゲート電極にN型不純物をドーパせざるを得ず、ロジック素子のデュアルゲート化は非常に困難であった。

【0030】本発明の目的は、不揮発性メモリ素子の高信頼性化と、ロジック素子の微細化とを併せて実現しうる半導体装置の製造方法を提供することにある。

【0031】また、本発明のもう1つの目的は、ロジック素子のデュアルゲート化を容易に実現しうる半導体装置の製造方法を提供することにある。

【0032】

【課題を解決するための手段】本発明の第1の半導体装置の製造方法は、半導体基板上に、不揮発性メモリ素子が配置されるメモリ領域と、ロジック素子が配置されるロジック領域とを有する半導体装置の製造方法であって、上記メモリ領域に、上記不揮発性メモリ素子のゲート絶縁膜となる第1の絶縁膜と、第1の導体膜と、第2の絶縁膜とを形成する一方、上記ロジック領域に、上記ロジック素子のゲート絶縁膜を形成する工程(a)と、上記工程(a)の後に、基板上に第2の導体膜を形成する工程(b)と、上記ロジック領域における上記第2の導体膜を残したままで、上記メモリ領域における第2の導体膜、第2の絶縁膜及び第1の導体膜をパターニングして、不揮発性メモリ素子の制御ゲート電極、電極間絶縁膜及び浮遊ゲート電極からなる積層ゲートを形成する工程(c)と、上記工程(c)の後に、基板上に、上記積層ゲートを覆う注入保護用の第3の絶縁膜を形成する工程(d)と、上記工程(d)の後に、上記半導体基板の上記浮遊ゲート電極の両側に位置する領域に、上記不揮発性メモリ素子のソース・ドレイン拡散層を形成するための不純物イオンを注入する工程(e)と、上記工程(e)の後に、上記第3の絶縁膜の異方性エッチングを行なって、上記第3の絶縁膜のうち少なくとも上記第2の導体膜上にある部分を除去する工程(f)と、上記ロジック領域に残されている上記第2の導体膜をパターニングして、上記ロジック素子のゲート電極を形成する工程(g)とを含んでいる。

【0033】この方法により、工程(g)の後に、ロジック素子のLDD拡散層などの拡散層を形成する際には、ロジック領域には注入保護用の第3の絶縁膜が存在していないので、浅いPN接合を有するロジック素子の拡散層を形成することができる。したがって、ロジック素子の微細化を実現することができる。一方、不揮発性メモリ素子のソース・ドレイン拡散層を形成する際には、不揮発性メモリ素子の浮遊ゲート電極の側面が注入保護用の第3の絶縁膜によって覆われているので、不揮発性メモリ素子の浮遊ゲート電極下部のエッジ領域において不純物が浮遊ゲート電極を突き抜けてゲート絶縁膜に侵入することに起因する絶縁性の悪化を抑制することができる。よって、不揮発性メモリ素子の性能の維持とロジック素子の微細化とを合わせて実現することができる。

【0034】上記工程(e)の後、上記工程(f)の前に、酸化雰囲気中で基板に熱処理を施す工程をさらに含

むことにより、不揮発性メモリ素子のゲート絶縁膜両端部に対する不純物イオンの注入に起因するダメージを回復させて、より性能の高い不揮発性メモリ素子を得ることができる。

【0035】上記工程(g)の後に、上記ゲート電極をマスクとして、上記ロジック素子のLDD拡散層を形成するための不純物イオンの注入を行なう工程と、その後、上記不揮発性メモリ素子の浮遊ゲート電極、電極間絶縁膜及び制御ゲート電極の側面と、上記ロジック素子のゲート電極の側面とにサイドウォールスペーサを形成する工程と、上記ロジック領域において、上記ゲート電極及びサイドウォールスペーサをマスクとして、上記ロジック素子のソース・ドレイン拡散層を形成するための不純物イオンの注入を行なう工程とをさらに含むことにより、微細化に適したLDD構造を有するロジック素子を有する半導体装置を得ることができる。

【0036】本発明の第2の半導体装置の製造方法は、半導体基板上に、不揮発性メモリ素子が配置されるメモリ領域と、ロジック素子が配置されるロジック領域とを有する半導体装置の製造方法であって、上記メモリ領域に、上記不揮発性メモリ素子のゲート絶縁膜となる第1の絶縁膜と、導体膜と、第2の絶縁膜とを形成する一方、上記ロジック領域に、上記ロジック素子のゲート絶縁膜を形成する工程(a)と、上記工程(a)の後に、基板上に多結晶シリコン膜を形成する工程(b)と、上記多結晶シリコン膜のうち、上記メモリ領域全体に位置する部分と上記ロジック領域のNチャネル型ロジック素子形成領域に位置する部分とに、N型不純物イオンを注入する工程(c)と、上記ロジック領域における上記多結晶シリコン膜を残したままで、上記メモリ領域における多結晶シリコン膜、第2の絶縁膜及び導体膜をパターンニングして、不揮発性メモリ素子の制御ゲート電極、電極間絶縁膜及び浮遊ゲート電極からなる積層ゲートを形成する工程(d)と、上記工程(d)の後に、基板上に、上記積層ゲートを覆う注入保護用の第3の絶縁膜を形成する工程(e)と、上記工程(e)の後に、上記半導体基板の上記浮遊ゲート電極の両側に位置する領域に、上記不揮発性メモリ素子のソース・ドレイン拡散層を形成するための不純物イオンを注入する工程(f)と、上記工程(f)の後に、上記第3の絶縁膜の異方性エッチングを行なって、上記第3の絶縁膜のうち少なくとも上記多結晶シリコン膜上にある部分を除去する工程(g)と、上記工程(f)の後、上記工程(g)の前又は後に、上記多結晶シリコン膜のうち上記ロジック領域のPチャネル型ロジック素子形成領域に位置する部分にP型不純物イオンを注入する工程(h)と、上記ロジック領域に残されている上記多結晶シリコン膜をパターンニングして、上記ロジック素子のゲート電極を形成する工程(i)とを含んでいる。

【0037】この方法により、第1の半導体装置の製造

方法の効果に加えて、デュアルゲート構造による動作速度の大きいトランジスタからなるロジック素子を得ることができる。

【0038】上記工程(f)の後、上記工程(h)の前に、酸化性雰囲気中で基板に熱処理を施す工程をさらに含むことにより、不揮発性メモリ素子のゲート絶縁膜両端部に対する不純物イオンの注入に起因するダメージを回復させて、より性能の高い不揮発性メモリ素子を得ることができる。

【0039】上記工程(i)の後に、上記ゲート電極をマスクとして、上記Pチャネル型、Nチャネル型ロジック素子のLDD拡散層を形成するための不純物イオンの注入を個別に行なう工程と、その後、上記不揮発性メモリ素子の浮遊ゲート電極、電極間絶縁膜及び制御ゲート電極の側面と、上記ロジック素子のゲート電極の側面とにサイドウォールスペーサを形成する工程と、上記ロジック領域において、上記ゲート電極及びサイドウォールスペーサをマスクとして、上記Pチャネル型、Nチャネル型ロジック素子のソース・ドレイン拡散層を形成するための不純物イオンの注入を個別に行なう工程とをさらに含むことにより、微細化に適したLDD構造を有するロジック素子を有する半導体装置を得ることができる。

【0040】上記第1又は第2の半導体装置の製造方法において、上記注入保護用の第3の絶縁膜を、CVD法によって形成されたシリコン酸化膜とすることが好ましい。

【0041】

【発明の実施形態】(第1の実施形態)図1(a)～(d)から図5(a)～(d)は、本発明の第1の実施形態の半導体装置の製造方法を示す断面図である。図1(a)～(d)から図5(a)～(d)までの各図において、R_{memo}は不揮発性メモリ素子が搭載されるメモリ領域、R_{logic}はロジック素子(Pチャネル型、Nチャネル型トランジスタ)が搭載されるロジック領域、1はP型単結晶シリコンからなる半導体基板、2はシリコン酸化膜からなる素子分離絶縁膜、3はシリコン酸化膜からなる第1の注入保護膜、5はN型ウェル、7はP型ウェル、8は不揮発性メモリ素子のゲート絶縁膜、9は第1の多結晶シリコン膜、10はONO膜(酸化膜/窒化膜/酸化膜の積層膜)、14はロジック素子のゲート絶縁膜、15は第2の多結晶シリコン膜、17は不揮発性メモリ素子の制御ゲート電極、18は不揮発性メモリ素子の電極間絶縁膜、19は不揮発性メモリ素子の浮遊ゲート電極、21はロジック素子のゲート電極、22は第2の注入保護膜、24は不揮発性メモリ素子のソース・ドレイン拡散層、26はロジック部のNチャネル型トランジスタのLDD拡散層、28はPチャネル型トランジスタのLDD拡散層、29は不揮発性メモリ素子およびロジック素子のサイドウォールスペーサ、31はNチャネル型トランジスタのソース・ドレイン拡散層、33はP

チャネル型トランジスタのソース・ドレイン拡散層、4、6、11、12、13、16、20、23、25、27、30、32は、イオン注入やエッチングの際に用いられるフォトリソ膜からなるマスクである。

【0042】まず、図1(a)に示す工程で、P型単結晶シリコンからなるシリコン基板1のメモリ領域R_{memo}とロジック領域R_{logic}の上に、シリコン酸化膜からなる素子分離絶縁膜2を形成した後、シリコン基板1の素子分離絶縁膜2によって囲まれる領域の上にシリコン酸化膜からなる第1の注入保護膜3を形成する。

【0043】次に、図1(b)に示す工程で、メモリ領域R_{memo}全体及びロジック領域R_{logic}のNチャネル型トランジスタ形成領域を覆うN型ウェル形成用マスク4を用い、ロジック領域R_{logic}のPチャネル型トランジスタ形成領域に、N型不純物(リン等)のイオン注入を行なって、N型ウェル5を形成する。

【0044】次に、図1(c)に示す工程で、N型ウェル形成用マスク4を除去した後、メモリ領域R_{memo}及びロジック領域R_{logic}において、ロジック領域R_{logic}のNチャネル型トランジスタ形成領域を覆うP型ウェル形成用マスク6を用い、メモリ領域R_{memo}全体及びロジック領域R_{logic}のNチャネル型トランジスタ形成領域に、P型不純物(ボロン等)のイオン注入を行なって、P型ウェル7を形成する。このとき同時に、P型ウェル形成用マスク6を用いて、シリコン基板1上に、不揮発性メモリ素子及びNチャネル型トランジスタのしきい値を制御するための不純物イオン注入を行なう。

【0045】次に、図1(d)に示す工程で、P型ウェル形成用マスク6を除去した後、バッファード弗酸を用いたウェットエッチによって、メモリ領域R_{memo}及びロジック領域R_{logic}の双方において第1の注入保護膜3を除去する。

【0046】次に、図2(a)に示す工程で、熱酸化法により、メモリ領域R_{memo}及びロジック領域R_{logic}においてシリコン酸化膜からなるゲート絶縁膜8を形成した後、CVD法により、リンを含む多結晶シリコン膜からなる第1の多結晶シリコン膜9を形成する。この第1の多結晶シリコン膜9は、不揮発性メモリ素子の浮遊ゲート電極となるものであって、その厚みは約200nmである。その後、図示しないマスクを用いて、不揮発性メモリ素子のチャネル幅方向の寸法を決定するために第1の多結晶シリコン膜9をパターニングする。その後、第1の多結晶シリコン膜9をパターニングするためのマスクを除去した後、CVD法により、不揮発性メモリ素子の電極間絶縁膜となるON膜10a(酸化膜/窒化膜の積層膜)を形成する。

【0047】次に、図2(b)に示す工程で、メモリ領域R_{memo}全体を覆うマスク11を用いて、ドライエッチにより、ロジック領域R_{logic}のON膜10aおよび第1の多結晶シリコン膜9を順次除去する。

【0048】次に、図2(c)に示す工程で、メモリ領域R_{memo}全体及びロジック領域R_{logic}のNチャネル型トランジスタ形成領域を覆うしきい値制御注入用マスク12を用い、ドライエッチ後に残存しているゲート絶縁膜8を注入保護膜として、ロジック領域R_{logic}のPチャネル型トランジスタのしきい値を制御するためのリンイオン(p⁺)等の注入を行なう。

【0049】次に、図2(d)に示す工程で、しきい値制御注入用マスク12を除去した後、メモリ領域R_{memo}全体及びロジック領域R_{logic}のPチャネル型トランジスタ形成領域を覆うしきい値制御注入用マスク13を用い、残存しているゲート絶縁膜8を注入保護膜として、ロジック領域R_{logic}のNチャネル型トランジスタのしきい値を制御するためのボロンイオン(B⁺)等の注入を行なう。

【0050】次に、図3(a)に示す工程で、しきい値制御注入用マスク13を除去した後、バッファード弗酸を用いたウェットエッチによって、ロジック領域R_{logic}上に残存しているゲート絶縁膜8を除去する。

【0051】次に、図3(b)に示す工程で、熱酸化法により、シリコン酸化膜からなるロジック素子のゲート絶縁膜14を形成する。このとき、メモリ領域R_{memo}におけるON膜10aの表面も酸化されてONO膜10が形成される。その後、CVD法により、リンを含む第2の多結晶シリコン膜15を形成する。この第2の多結晶シリコン膜15は、不揮発性メモリ素子の制御ゲート電極およびロジック素子のゲート電極となるものであって、その厚みは約200nmである。

【0052】次に、図3(c)に示す工程で、ロジック領域R_{logic}全体及びメモリ領域R_{memo}のゲート形成領域を覆う積層ゲート形成用マスク16を用いたドライエッチングにより、メモリ領域R_{memo}における第2の多結晶シリコン膜15、ONO膜10及び第1の多結晶シリコン膜9を順次パターニングして、制御ゲート電極17、電極間絶縁膜18及び浮遊ゲート電極19からなる不揮発性メモリ素子の積層ゲートを形成する。

【0053】以上の工程は、上記従来の半導体装置の製造方法における図12(a)～(d)から図14(a)～(c)に示す工程と基本的に同じである。

【0054】ここで、本実施形態においては、図3

(d)に示す工程で、積層ゲート形成用マスク16を除去した後、ロジック素子のゲート電極を形成するのではなく、ロジック領域R_{logic}における第2の多結晶シリコン膜15を残したままで、熱酸化を行なって、シリコン基板1上の露出しているシリコン層(単結晶シリコン層及び多結晶シリコン層)の表面部分を酸化して、メモリ領域R_{memo}におけるシリコン基板1、不揮発性メモリ素子の積層ゲートと、ロジック領域R_{logic}に残存している第2の多結晶シリコン膜15の上にシリコン酸化膜からなる第2の注入保護膜22を形成する。この第2の注入

保護膜22は、不揮発性メモリ素子のソース・ドレイン注入の際の保護膜となるものである。

【0055】次に、図4(a)に示す工程で、ロジック領域R_{logic}全体を覆う不揮発性メモリ素子のソース・ドレイン形成用マスク23を用いて、例えばヒ素イオン(As⁺)およびリンイオン(P⁺)を注入することにより、不揮発性メモリ素子のソース・ドレイン拡散層24を形成する。このとき、ヒ素イオンの注入条件は、イオン加速用電圧が約40keVで、ドーズ量が $2 \times 10^{15} \text{ cm}^{-2}$ である。一方、リンイオンの注入条件は、イオン加速用電圧が約70keVで、ドーズ量が $3 \times 10^{15} \text{ cm}^{-2}$ である。

【0056】次に、図4(b)に示す工程で、ソース・ドレイン形成用マスク23を除去した後、アニールを兼ねて、イオン注入によるダメージを受けた不揮発性メモリ素子のゲート絶縁膜8を再酸化して絶縁性を回復する目的で、酸化性雰囲気中で約850℃、約45分間の熱処理を施す。その後、異方性エッチングにより、少なくともロジック領域R_{logic}の第2の多結晶シリコン膜15上に形成された第2の注入保護膜22を除去する。このとき、第2の注入保護膜22を異方性ドライエッチによって除去するので、不揮発性メモリ素子の積層ゲートの側面には第2の注入保護膜22がサイドウォールとして残存している。

【0057】次に、図4(c)に示す工程で、メモリ領域R_{memo}全体及びロジック領域のPチャネル型、Nチャネル型トランジスタの各ゲート電極形成領域を覆うゲート電極形成用マスク20を用いたドライエッチングにより、多結晶シリコンからなるロジック領域R_{logic}の第2の多結晶シリコン膜15をパターニングして、ロジック素子のゲート電極21を形成する。

【0058】次に、図4(d)に示す工程で、ゲート電極形成用マスク20を除去した後、メモリ領域R_{memo}全体及びロジック領域R_{logic}のPチャネル型トランジスタ形成領域を覆うLDD注入用マスク25を用い、例えばリンイオン(P⁺)の注入を行なうことにより、ロジック領域R_{logic}にNチャネル型トランジスタのLDD拡散層26を形成する。このイオン注入の際、イオン加速用電圧が約30keVで、ドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ で、イオン注入方向を基板の法線方向から約25°傾けて、4ステップ注入を行なっている。さらに、パンチスルー抑制のために、LDD注入用マスク25を用い、ボロンイオン(B⁺)を、イオン加速用電圧約40keV、ドーズ量約 $3 \times 10^{12} \text{ cm}^{-2}$ 、イオン注入方向の傾け角約25°、4ステップの条件で注入する。

【0059】次に、図5(a)に示す工程で、LDD注入用マスク25を除去した後、メモリ領域R_{memo}全体及びロジック領域R_{logic}のNチャネル型トランジスタ形成領域を覆うLDD注入用マスク27を用いて、フッ化ボロンイオン(BF₂⁺)を注入することにより、ロジック

領域R_{logic}にPチャネル型トランジスタのLDD拡散層28を形成する。このイオン注入の際、イオン加速用電圧が約30keVで、ドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ で、イオン注入方向を基板の法線方向から約7°傾けて、4ステップ注入を行なっている。

【0060】次に、図5(b)に示す工程で、LDD注入用マスク27を除去した後、CVD法によりTEOS膜を堆積した後、異方性ドライエッチングによって、不揮発性メモリ素子の積層ゲートの側面と、ロジック素子のゲート電極29の側面とにサイドウォールスペーサ29を形成する。

【0061】次に、図5(c)に示す工程で、メモリ領域R_{memo}全体及びロジック領域R_{logic}のPチャネル型トランジスタ形成領域を覆うソース・ドレイン注入用マスク30を用いて、ヒ素等のイオンを注入することにより、ロジック領域R_{logic}にNチャネル型トランジスタのソース・ドレイン拡散層31を形成する。このイオン注入の条件は、イオン加速用電圧が約50keVで、ドーズ量が $2 \times 10^{15} \text{ cm}^{-2}$ である。

【0062】次に、図5(d)に示す工程で、ソース・ドレイン注入用マスク30を除去した後、メモリ領域R_{memo}全体及びロジック領域R_{logic}のNチャネル型トランジスタ形成領域を覆うソース・ドレイン注入用マスク32を用いて、フッ化ボロンイオン(BF₂⁺)の注入を行なうことにより、ロジック領域R_{logic}にPチャネル型トランジスタのソース・ドレイン拡散層33を形成する。このイオン注入の条件は、イオン加速用電圧が約30keVで、ドーズ量が $3 \times 10^{15} \text{ cm}^{-2}$ である。

【0063】この後、図示しないが、サリサイド法を用いて、ロジック領域R_{logic}におけるシリコン基板1の表面およびゲート電極29の表面上に例えばチタンシリサイド層を形成した後、層間絶縁膜としてCVD酸化膜を形成し、シリコン基板1内の各拡散層や電極に到達するコンタクト孔を開口し、さらに、コンタクト孔を埋めるプラグや配線を配することにより、第1の実施形態に係る半導体装置が製造される。

【0064】本実施形態の半導体装置の製造方法によれば、以下の効果を発揮することができる。

【0065】第1に、図4(a)に示す工程で、第2の注入保護膜22を付けた状態で不揮発性メモリ素子のソース・ドレイン拡散層形成のためのイオン注入を行なう際には、ロジック領域R_{logic}の第2の多結晶シリコン膜15をパターニングしていない。そして、その後に、図4(c)に示す工程で、第2の多結晶シリコン膜15をパターニングしてゲート電極21を形成しているため、さらに後に、図4(d)に示す工程で、ロジック素子のLDD拡散層形成のための不純物イオンの注入を行なう際には、ロジック領域R_{logic}には第2の注入保護膜22がすでに除去されている。したがって、ロジック素子のLDD拡散層形成のための不純物イオンの注入エネルギー

ーを低減することができる(例えば、従来の50keVから30keVまで)。その結果、ロジック素子のLD拡散層26とウェル5、7との間に浅いPN接合を形成することが可能となり、ロジック素子の微細化に適した構造を得ることができる。

【0066】一方、上記従来の半導体装置の製造方法と同様に、不揮発性メモリ素子の浮遊ゲート電極19を第2の注入保護膜22で被覆した状態で、不揮発性メモリ素子のソース・ドレイン拡散層24を形成するためのイオン注入を行なっているため、ヒ素やリン等の不純物イオンが、浮遊ゲート電極19の下部のエッジ領域において、浮遊ゲート電極19を突き抜けてゲート絶縁膜8に侵入する現象を抑制することができ、ゲート絶縁膜8の絶縁性劣化を抑制することができる。

【0067】また、第2の注入保護膜22を形成しても完全には不純物イオンの突き抜けを抑えることができない場合もあり得るが、そのような場合でも、不純物のイオン注入後に酸化性雰囲気中で熱処理することにより、不純物イオン注入によるダメージを受けて絶縁性が劣化したゲート絶縁膜8を再酸化して絶縁性を回復できるため、高い信頼性を有するゲート絶縁膜を備えた不揮発性メモリ素子が得られる。

【0068】さらに、図4(b)に示す工程では、第2の注入保護膜22を異方性ドライエッチによって除去するので、不揮発性メモリ素子の浮遊ゲート電極を含む積層ゲートの側面に第2の注入保護膜22を残存させたままで、ロジック領域Rlogcの第2の多結晶シリコン膜15上の第2の注入保護膜22を除去することができる。その後、図4(c)に示す工程で、ロジック素子のゲート電極21を形成する際には、不揮発性メモリ素子の浮遊ゲート電極19は第2の注入保護膜22によって覆われているため、不揮発性メモリ素子の信頼性が劣化することなく、また、不揮発性メモリ素子の信頼性向上に必要な熱酸化処理の影響を受けることなく、微細なロジック素子を制御性よく製造することができる。

【0069】すなわち、不揮発性メモリ素子の高性能化とロジック素子の微細化とを併せて実現することができる。

【0070】また、ロジック素子の拡散層31、33を形成した後においては、ゲート電極21表面や、ソース・ドレイン拡散層31、33表面に絶縁膜が存在しないため、サリサイド法を用いたシリサイド層形成にも適している。

【0071】(第2の実施形態)図6(a)～(d)から図11(a)、(b)の各図は、本発明の第2の実施形態の半導体装置の製造方法を示す断面図である。図6(a)～(d)から図11(a)、(b)の各図において、第1の実施形態と同じ部材は同じ符号を付している。本実施形態においては、第1の実施形態におけるリンを含む第2の多結晶シリコン膜15に代えて、ノンド

ープの第2の第2の多結晶シリコン膜34を形成する。

【0072】まず、図6(a)に示す工程で、P型単結晶シリコンからなるシリコン基板1のメモリ領域Rmemoとロジック領域Rlogcの上に、シリコン酸化膜からなる素子分離絶縁膜2を形成した後、シリコン基板1の素子分離絶縁膜2によって囲まれる領域の上にシリコン酸化膜からなる第1の注入保護膜3を形成する。

【0073】次に、図6(b)に示す工程で、メモリ領域Rmemo全体及びロジック領域RlogcのNチャネル型トランジスタ形成領域を覆うN型ウェル形成用マスク4を用い、ロジック領域RlogcのPチャネル型トランジスタ形成領域に、N型不純物(リン等)のイオン注入を行なって、N型ウェル5を形成する。

【0074】次に、図6(c)に示す工程で、N型ウェル形成用マスク4を除去した後、メモリ領域Rmemo及びロジック領域Rlogcにおいて、ロジック領域RlogcのNチャネル型トランジスタ形成領域を覆うP型ウェル形成用マスク6を用い、メモリ領域Rmemo全体及びロジック領域RlogcのNチャネル型トランジスタ形成領域に、P型不純物(ボロン等)のイオン注入を行なって、P型ウェル7を形成する。このとき同時に、P型ウェル形成用マスク6を用いて、シリコン基板1上に、不揮発性メモリ素子及びNチャネル型トランジスタのしきい値を制御するための不純物イオン注入を行なう。

【0075】次に、図6(d)に示す工程で、P型ウェル形成用マスク6を除去した後に、バッファード弗酸を用いたウェットエッチによって、メモリ領域Rmemo及びロジック領域Rlogcの双方において第1の注入保護膜3を除去する。

【0076】次に、図7(a)に示す工程で、熱酸化法により、メモリ領域Rmemo及びロジック領域Rlogcにおいてシリコン酸化膜からなるゲート絶縁膜8を形成した後に、CVD法により、リンを含む第1の多結晶シリコン膜9を形成する。この第1の多結晶シリコン膜9は、不揮発性メモリ素子の浮遊ゲート電極となるものであって、その厚みは約200nmである。その後、図示しないマスクを用いて、不揮発性メモリ素子のチャネル幅方向の寸法を決定するために第1の多結晶シリコン膜9をパターニングする。その後、第1の多結晶シリコン膜9をパターニングするためのマスクを除去した後、CVD法により、不揮発性メモリ素子の電極間絶縁膜となるON膜10aを形成する。

【0077】次に、図7(b)に示す工程で、メモリ領域Rmemo全体を覆うマスク11を用いて、ドライエッチにより、ロジック領域RlogcのON膜10aおよび第1の多結晶シリコン膜9を順次除去する。

【0078】次に、図7(c)に示す工程で、メモリ領域Rmemo全体及びロジック領域RlogcのNチャネル型トランジスタ形成領域を覆うしきい値制御注入用マスク12を用い、ドライエッチ後に残存しているゲート絶縁膜

8を注入保護膜として、ロジック領域RlogcのPチャネル型トランジスタのしきい値を制御するためのリンイオン (P^+) 等の注入を行なう。

【0079】次に、図7(d)に示す工程で、しきい値制御注入用マスク12を除去した後、メモリ領域Rmemo全体及びロジック領域RlogcのPチャネル型トランジスタ形成領域を覆うしきい値制御注入用マスク13を用い、残存しているゲート絶縁膜8を注入保護膜として、ロジック領域RlogcのNチャネル型トランジスタのしきい値を制御するためのボロンイオン (B^+) 等の注入を行なう。

【0080】次に、図8(a)に示す工程で、しきい値制御注入用マスク13を除去した後、バッファード弗酸を用いたウェットエッチによって、ロジック領域Rlogc上に残存しているゲート絶縁膜8を除去する。

【0081】次に、図8(b)に示す工程で、熱酸化法により、シリコン酸化膜からなるロジック素子のゲート絶縁膜14を形成する。このとき、メモリ領域RmemoにおけるON膜10aの表面も酸化されてONO膜10が形成される。その後、CVD法により、ノンドープの第2の多結晶シリコン膜34を形成する。この第2の多結晶シリコン膜34は、後にデュアルゲートとなるものである。

【0082】次に、図8(c)に示す工程で、ロジック領域RlogcのPチャネル型トランジスタ形成領域を覆うP型ウェル形成用マスク6を用い、第2の多結晶シリコン膜34のうち、メモリ領域Rmemo全体及びロジック領域RlogcのNチャネル型トランジスタ形成領域に位置する部分にリンイオン (P^+) を注入する。さらに、基板に約800℃、約30分間の熱処理を加えることによって、注入された不純物であるリンを活性化させ、第2の多結晶シリコン膜34のうち、メモリ領域Rmemo全体及びロジック領域RlogcのNチャネル型トランジスタ形成領域に位置する部分をN型多結晶シリコン膜にする。

【0083】次に、図8(d)に示す工程で、ロジック領域Rlogc全体及びメモリ領域Rmemoのゲート形成領域を覆う積層ゲート形成用マスク16を用いたドライエッチングにより、メモリ領域Rmemoにおける第2の多結晶シリコン膜34、ONO膜10及び第1の多結晶シリコン膜9を順次パターニングして、制御ゲート電極17、電極間絶縁膜18及び浮遊ゲート電極19からなる不揮発性メモリ素子の積層ゲートを形成する。

【0084】次に、本実施形態においても、第1の実施形態と同様に、図9(a)に示す工程で、積層ゲート形成用マスク16を除去した後、ロジック素子のゲート電極を形成するのではなく、ロジック領域Rlogcにおける第2の多結晶シリコン膜34を残したままで、熱酸化を行なって、シリコン基板1上の露出しているシリコン層(単結晶シリコン層及び多結晶シリコン層)の表面部分を酸化して、メモリ領域Rmemoにおけるシリコン基板

1、不揮発性メモリ素子の積層ゲートと、ロジック領域Rlogcに残存している第2の多結晶シリコン膜34の上にシリコン酸化膜からなる第2の注入保護膜22を形成する。この第2の注入保護膜22は、不揮発性メモリ素子のソース・ドレイン注入保護膜となるものである。

【0085】次に、図9(b)に示す工程で、ロジック領域Rlogc全体を覆う不揮発性メモリ素子のソース・ドレイン形成用マスク23を用いて、例えばヒ素イオン (As^+) およびリンイオン (P^+) を注入することにより、不揮発性メモリ素子のソース・ドレイン拡散層24を形成する。このとき、ヒ素イオンの注入条件は、イオン加速用電圧が約40keVで、ドーズ量が $2 \times 10^{15} \text{ cm}^{-2}$ である。一方、リンイオンの注入条件は、イオン加速用電圧が約70keVで、ドーズ量が $3 \times 10^{15} \text{ cm}^{-2}$ である。

【0086】次に、図9(c)に示す工程で、ソース・ドレイン形成用マスク23を除去した後、アニールを兼ねて、イオン注入によるダメージを受けたゲート絶縁膜8を再酸化して絶縁性を回復する目的で、酸化性雰囲気中で約850℃、約45分間の熱処理を施す。その後、N型ウェル形成用マスク4を用いて、第2の多結晶シリコン膜34のうちロジック領域RlogcのPチャネル型トランジスタ形成領域に位置する部分に、第2の注入保護膜22越しにボロンイオン (B^+) を注入し、第2の多結晶シリコン膜34のうちロジック領域RlogcのPチャネル型トランジスタ形成領域に位置する部分をP型多結晶シリコン膜としてデュアルゲートを形成するための準備を整える。

【0087】次に、図9(d)に示す工程で、異方性エッチングにより、第2の注入保護膜22のうちロジック領域Rlogcの第2の多結晶シリコン膜34上に位置する部分を除去する。このとき、第2の注入保護膜22を異方性ドライエッチによって除去するので、不揮発性メモリ素子の積層ゲートの側面には第2の注入保護膜22がサイドウォールとして残存している。

【0088】次に、図10(a)に示す工程で、メモリ領域Rmemo全体及びロジック領域のPチャネル型、Nチャネル型トランジスタの各ゲート電極形成領域を覆うゲート電極形成用マスク20を用いたドライエッチングにより、多結晶シリコンからなるロジック領域Rlogcの第2の多結晶シリコン膜34をパターニングして、ロジック素子のゲート電極21を形成する。

【0089】次に、図10(b)に示す工程で、ゲート電極形成用マスク20を除去した後、メモリ領域Rmemo全体及びロジック領域RlogcのPチャネル型トランジスタ形成領域を覆うLDD注入用マスク25を用い、例えばリンイオン (P^+) の注入を行なうことにより、ロジック領域RlogcにNチャネル型トランジスタのLDD拡散層26を形成する。このイオン注入の際、イオン加速用電圧が約30keVで、ドーズ量が約 $1 \times 10^{13} \text{ cm}$

$^{-2}$ で、イオン注入方向を基板の法線方向から約 25° 傾けて、4ステップ注入を行なっている。さらに、パンチスルー抑制のために、LDD注入用マスク25を用い、ボロンイオン(B^+)を、イオン加速用電圧約 40 keV 、ドーズ量約 $3 \times 10^{12}\text{ cm}^{-2}$ 、イオン注入方向の傾け角約 25° 、4ステップの条件で注入する。

【0090】次に、図10(c)に示す工程で、LDD注入用マスク25を除去した後、メモリ領域 R_{memo} 全体及びロジック領域 R_{logic} のNチャネル型トランジスタ形成領域を覆うLDD注入用マスク27を用いて、フッ化ボロンイオン(BF_2^+)を注入することにより、ロジック領域 R_{logic} のPチャネル型トランジスタのLDD拡散層28を形成する。このイオン注入の際、イオン加速用電圧が約 30 keV で、ドーズ量が約 $1 \times 10^{13}\text{ cm}^{-2}$ で、イオン注入方向を基板の法線方向から約 7° 傾けて、4ステップ注入を行なっている。

【0091】次に、図10(d)に示す工程で、LDD注入用マスク27を除去した後、CVD法によりTEOS膜を堆積した後、異方性ドライエッチングによって、不揮発性メモリ素子の積層ゲートの側面と、ロジック素子のゲート電極29の側面とにサイドウォールスペーサ29を形成する。

【0092】次に、図11(a)に示す工程で、メモリ領域 R_{memo} 全体及びロジック領域 R_{logic} のPチャネル型トランジスタ形成領域を覆うソース・ドレイン注入用マスク30を用いて、ヒ素等のイオンを注入することにより、ロジック領域 R_{logic} にNチャネル型トランジスタのソース・ドレイン拡散層31を形成する。このイオン注入の条件は、イオン加速用電圧が約 50 keV で、ドーズ量が約 $2 \times 10^{15}\text{ cm}^{-2}$ である。

【0093】次に、図11(b)に示す工程で、ソース・ドレイン注入用マスク30を除去した後、メモリ領域 R_{memo} 全体及びロジック領域 R_{logic} のNチャネル型トランジスタ形成領域を覆うソース・ドレイン注入用マスク32を用いて、フッ化ボロンイオン(BF_2^+)の注入を行なうことにより、ロジック領域 R_{logic} にPチャネル型トランジスタのソース・ドレイン拡散層33を形成する。このイオン注入の条件は、イオン加速用電圧が約 30 keV で、ドーズ量が約 $3 \times 10^{15}\text{ cm}^{-2}$ である。

【0094】この後の工程は図示しないが、サリサイド法を用いて、ロジック領域 R_{logic} におけるシリコン基板1の表面およびゲート電極29の表面上に例えばチタンサリサイド層を形成した後、層間絶縁膜としてCVD酸化膜を形成し、シリコン基板1内の各拡散層や電極に到達するコンタクト孔を開口し、さらに、コンタクト孔を埋めるプラグや配線を配することにより、第2の実施形態に係る半導体装置が製造される。

【0095】本実施形態の半導体装置の製造方法によれば、第1の実施形態と同様に、図10(d)に示す工程で、ロジック素子のLDD拡散層形成のための不純物イ

オンの注入を行なう際には、ロジック領域 R_{logic} における第2の注入保護膜22を除去した状態とすることができるので、ロジック素子のLDD拡散層形成のための不純物イオンの注入エネルギーを低減することができ、ロジック素子のLDD拡散層26とウェル5、7との間に浅いPN接合を形成することができる。すなわち、不揮発性メモリ素子の高性能化とロジック素子の微細化とを合わせて実現することができる。

【0096】加えて、ロジック素子であるPチャネル型トランジスタとNチャネル型トランジスタとのゲート電極をデュアルゲート構造にすることが可能になるので、ロジック素子の動作速度の向上をも図ることができる。

【0097】また、ロジック素子のソース・ドレイン拡散層31、33を形成した後においては、ゲート電極21表面や、ソース・ドレイン拡散層31、33表面に絶縁膜が存在しないため、サリサイド法を用いたシリサイド層形成にも適している。

【0098】なお、本発明は、メモリセル領域と周辺回路領域とを含むPROM、EEPROM、フラッシュメモリ等の不揮発性メモリだけでなく、これらの不揮発性メモリとプロセッサ等のロジック回路を混載した半導体装置全般に適用することができる。

【0099】

【発明の効果】本発明によれば、半導体基板上に不揮発性メモリ素子とロジック素子とを配置した半導体装置の製造方法として、ロジック領域におけるゲート電極用導体膜を残したままで、不揮発性メモリ素子の制御ゲート電極、電極間絶縁膜及び浮遊ゲート電極を形成してから、注入保護用の絶縁膜を形成した後、不揮発性メモリ素子のソース・ドレイン拡散層を形成するための不純物イオンを注入を行なうとともに、注入保護用の絶縁膜を除去してから、ロジック領域におけるゲート電極の形成を行なう方法としたので、浅いPN接合を有するロジック素子の拡散層を形成することができ、よって、不揮発性メモリ素子の性能の維持とロジック素子の微細化とを合わせて実現することができる。

【0100】また、デュアルゲート構造を有するロジック素子を半導体装置に設けることも容易となった。

【図面の簡単な説明】

【図1】(a)～(d)は、本発明の第1の実施形態における半導体装置の製造工程のうちウェル形成を行なうまでの工程を示す断面図である。

【図2】(a)～(d)は、本発明の第1の実施形態における半導体装置の製造工程のうちロジック領域の各トランジスタの閾値制御用イオン注入を行なうまでの工程を示す断面図である。

【図3】(a)～(d)は、本発明の第1の実施形態における半導体装置の製造工程のうち第2の注入保護膜を形成するまでの工程を示す断面図である。

【図4】(a)～(d)は、本発明の第1の実施形態に

における半導体装置の製造工程のうちNチャネル型トランジスタのLDD拡散層を形成するまでの工程を示す断面図である。

【図5】(a)～(d)は、本発明の第1の実施形態における半導体装置の製造工程のうちPチャネル型、Nチャネル型トランジスタのソース・ドレイン拡散層を形成するまでの工程を示す断面図である。

【図6】(a)～(d)は、本発明の第2の実施形態における半導体装置の製造工程のうちウェル形成を行なうまでの工程を示す断面図である。

【図7】(a)～(d)は、本発明の第2の実施形態における半導体装置の製造工程のうちロジック領域の各トランジスタの閾値制御用イオン注入を行なうまでの工程を示す断面図である。

【図8】(a)～(d)は、本発明の第2の実施形態における半導体装置の製造工程のうち不揮発性メモリ素子の積層ゲートを形成するまでの工程を示す断面図である。

【図9】(a)～(d)は、本発明の第2の実施形態における半導体装置の製造工程のうちサイドウォールスペースを形成するまでの工程を示す断面図である。

【図10】(a)～(d)は、本発明の第2の実施形態における半導体装置の製造工程のうち第2の注入保護膜を除去するまでの工程を示す断面図である。

【図11】(a)、(b)は、本発明の第2の実施形態における半導体装置の製造工程のうちPチャネル型、Nチャネル型トランジスタのソース・ドレイン拡散層を形成するまでの工程を示す断面図である。

【図12】(a)～(d)は、従来の半導体装置の製造工程のうちウェル形成を行なうまでの工程を示す断面図である。

【図13】(a)～(d)は、従来の半導体装置の製造工程のうちロジック領域の各トランジスタの閾値制御用イオン注入を行なうまでの工程を示す断面図である。

【図14】(a)～(d)は、従来の半導体装置の製造工程のうちロジック素子のゲート電極を形成するまでの工程を示す断面図である。

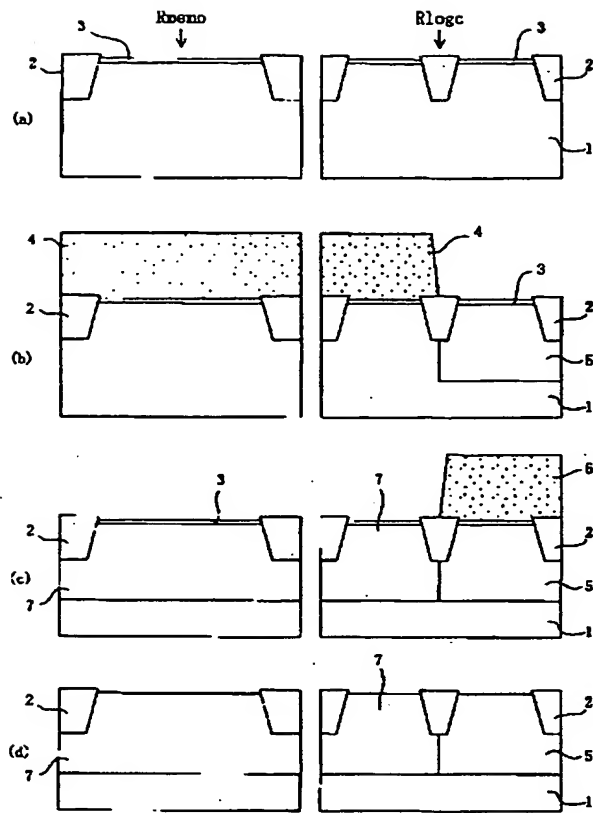
【図15】(a)～(d)は、従来の半導体装置の製造工程のうちPチャネル型トランジスタのLDD拡散層を形成するまでの工程を示す断面図である。

【図16】(a)～(c)は、従来の半導体装置の製造工程のうちPチャネル型、Nチャネル型トランジスタのソース・ドレイン拡散層を形成するまでの工程を示す断面図である。

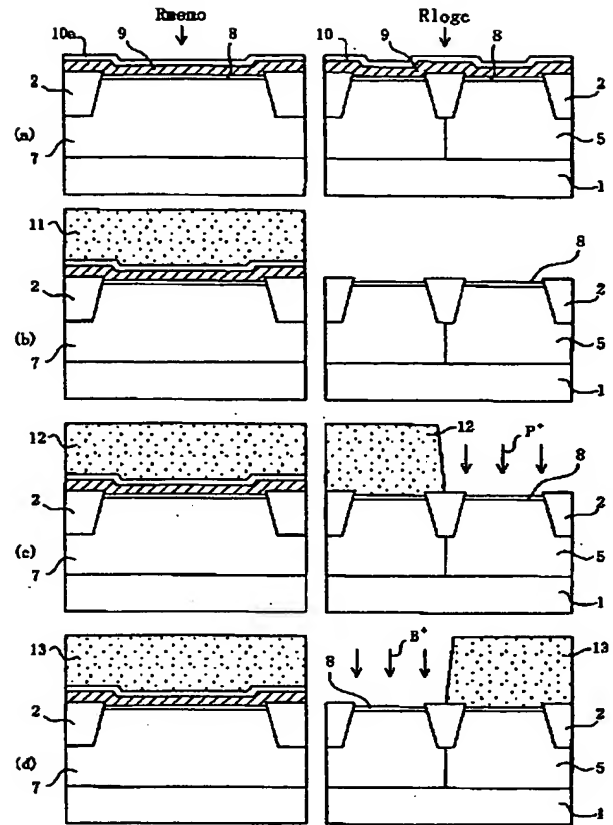
【符号の説明】

- 1 半導体基板
- 2 素子分離絶縁膜
- 3 注入保護膜
- 4 N型ウェル形成用マスク
- 5 N型ウェル
- 6 P型ウェル形成用マスク
- 7 P型ウェル
- 8 ゲート絶縁膜
- 9 第1の多結晶シリコン膜
- 10 a ON膜
- 10 ONO膜
- 11 膜除去用マスク
- 12 しきい値制御注入用マスク
- 13 しきい値制御注入用マスク
- 14 ゲート絶縁膜
- 15 第2の多結晶シリコン膜
- 16 積層ゲート形成用マスク
- 17 制御ゲート電極
- 18 電極間絶縁膜
- 19 浮遊ゲート電極
- 20 ゲート電極形成用マスク
- 21 ゲート電極
- 22 第2の注入保護膜
- 23 ソース・ドレイン形成用マスク
- 24 ソース・ドレイン拡散層
- 25 LDD注入用マスク
- 26 LDD拡散層
- 27 LDD注入用マスク
- 28 LDD拡散層
- 29 サイドウォールスペース
- 30 ソース・ドレイン注入用マスク
- 31 ソース・ドレイン拡散層
- 32 ソース・ドレイン注入用マスク
- 33 ソース・ドレイン拡散層
- 34 第2の多結晶シリコン膜

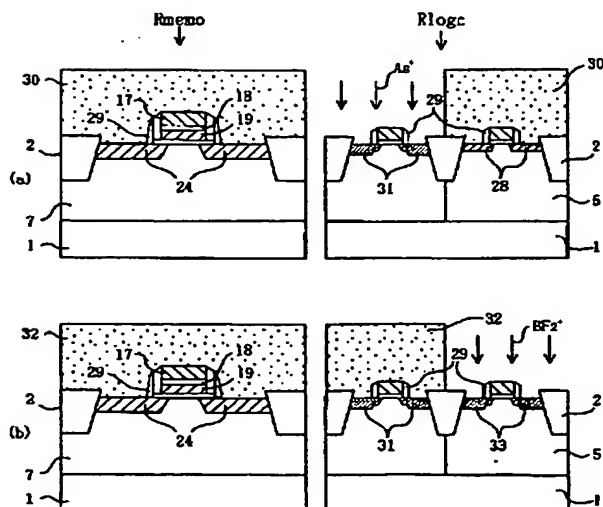
【図1】



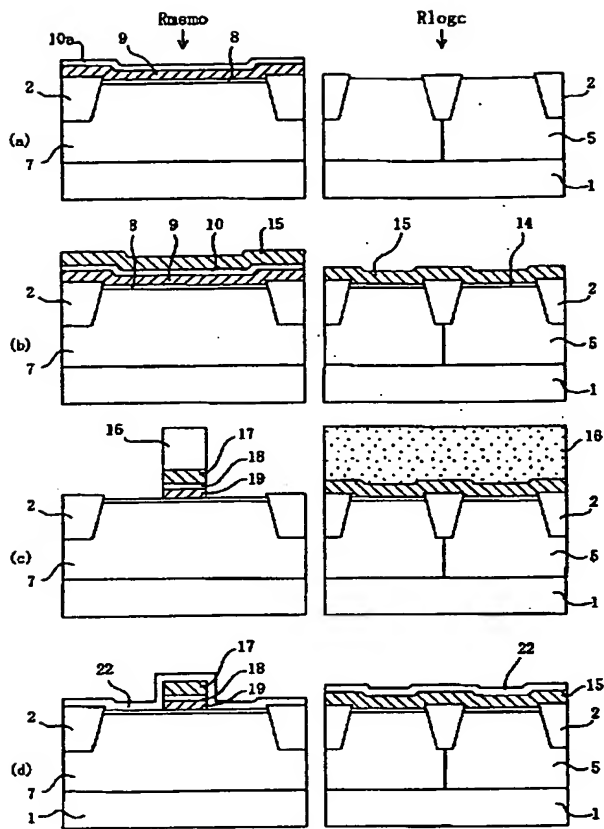
【図2】



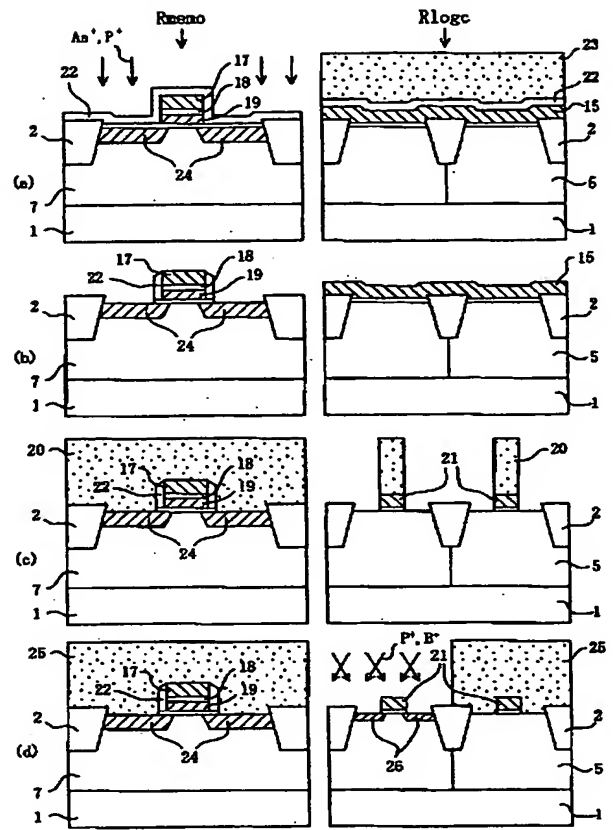
【図11】



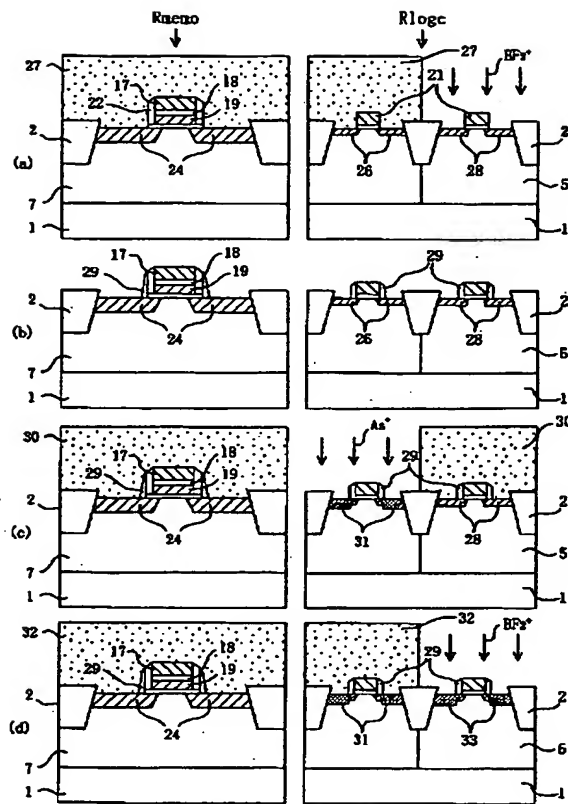
【図3】



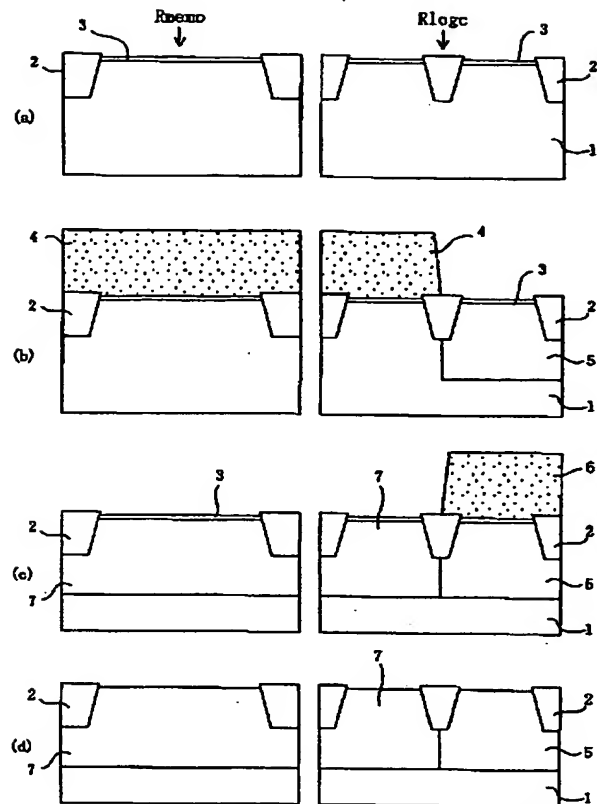
【図4】



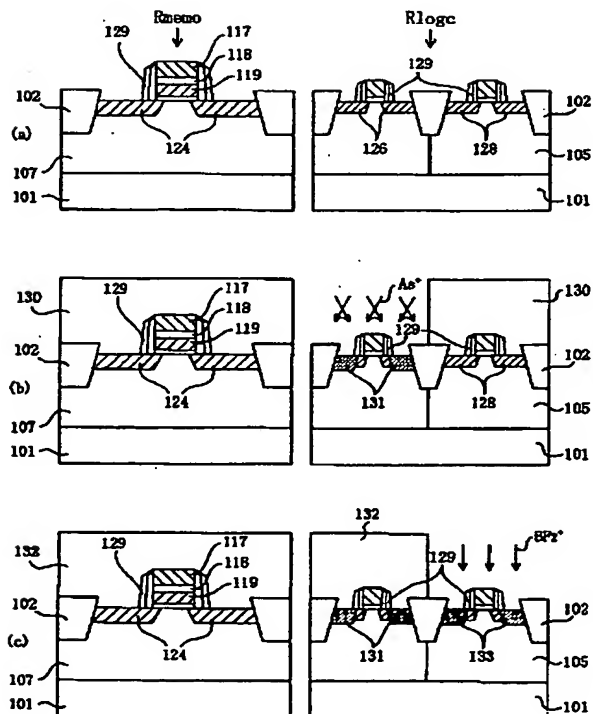
【図5】



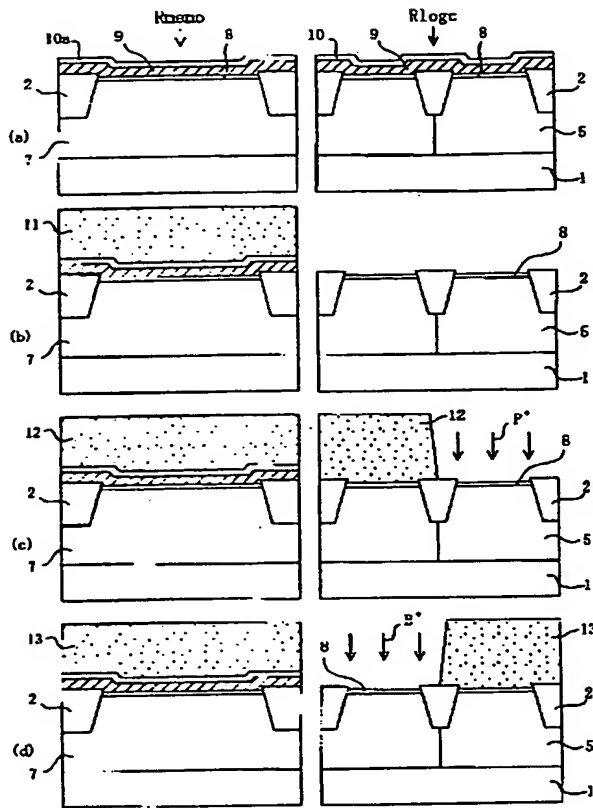
【図6】



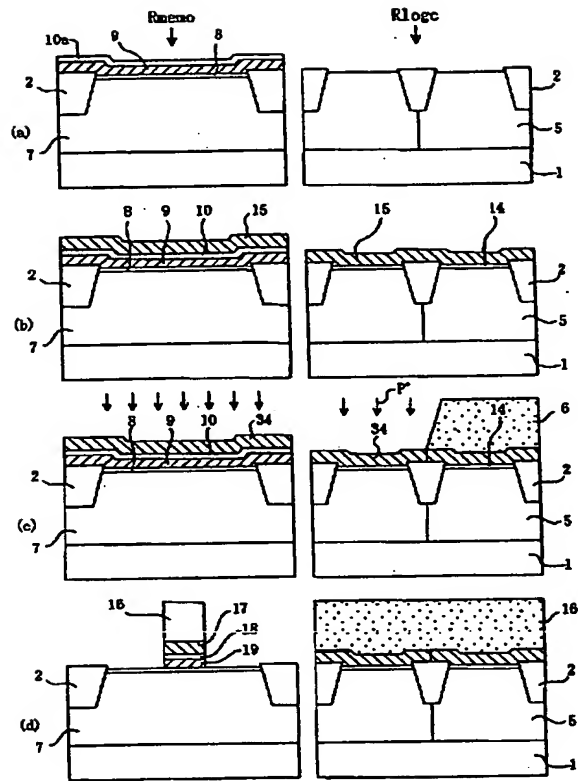
【図16】



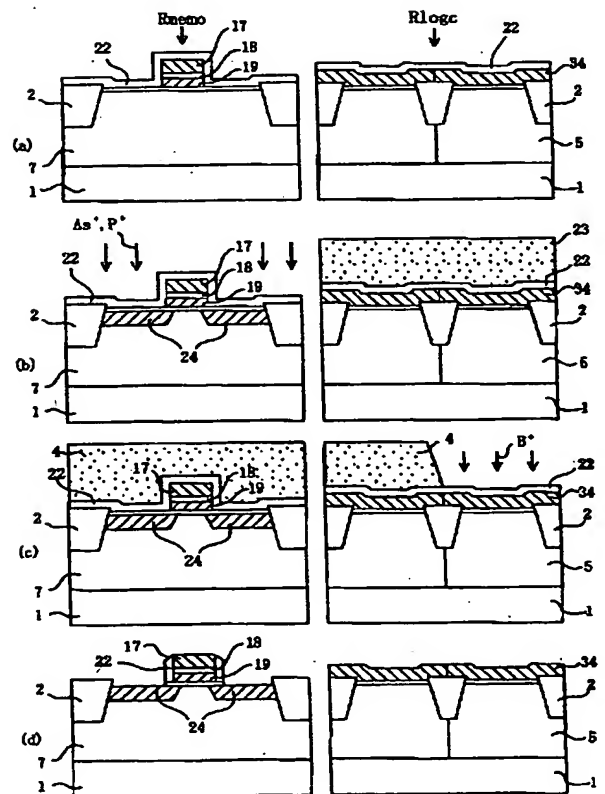
【図7】



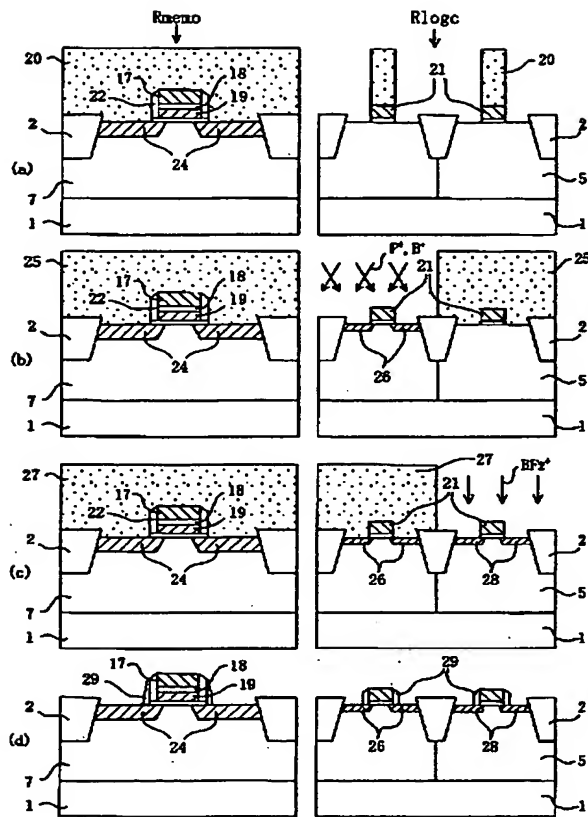
【図8】



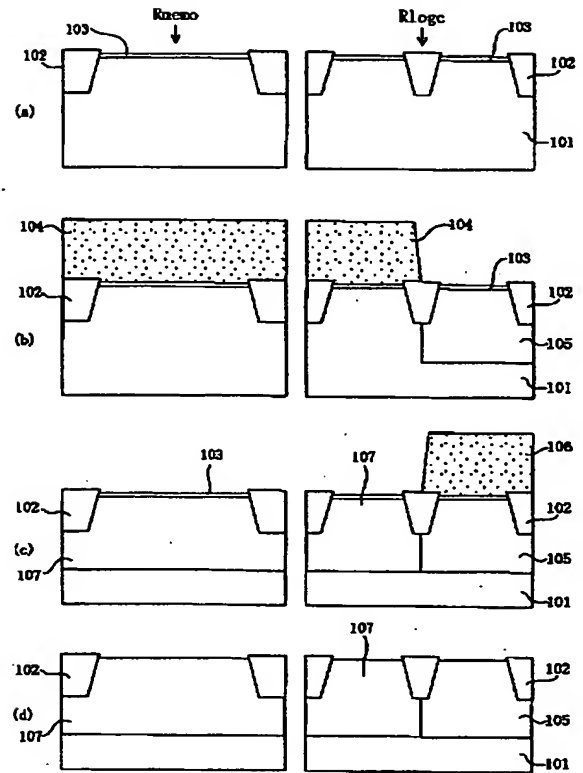
【図9】



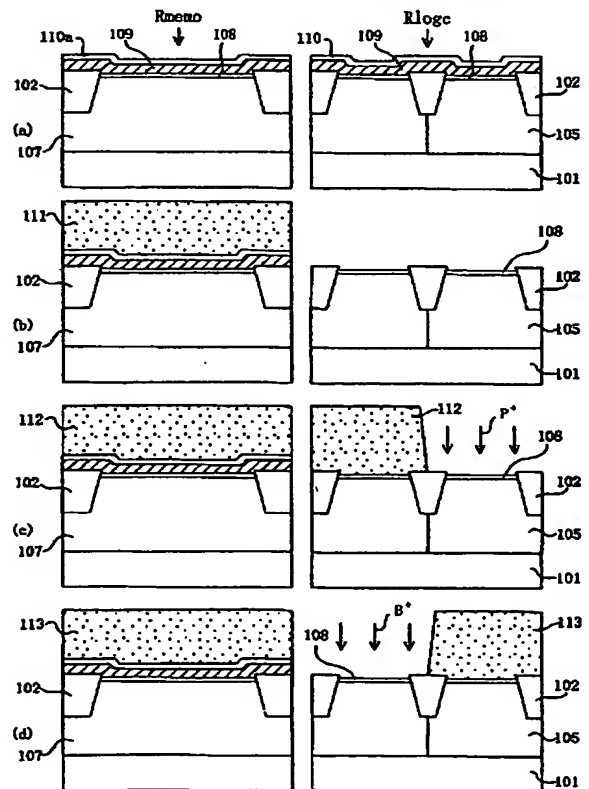
【図10】



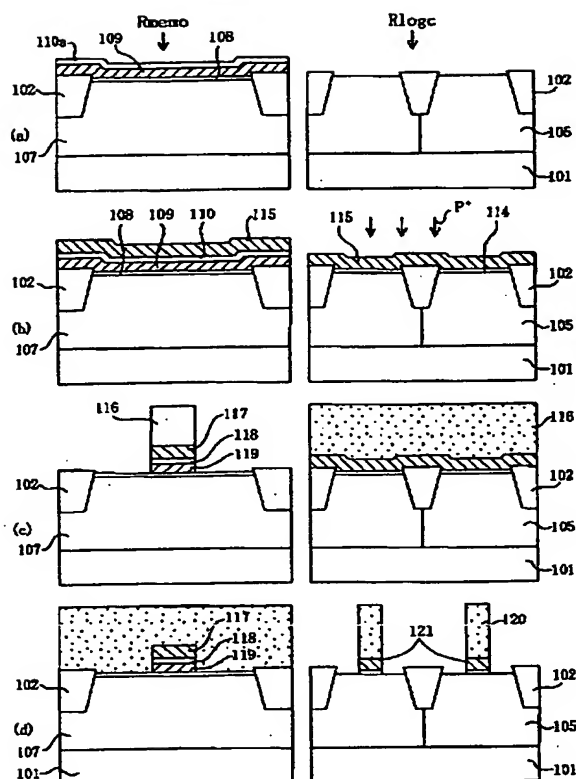
【図12】



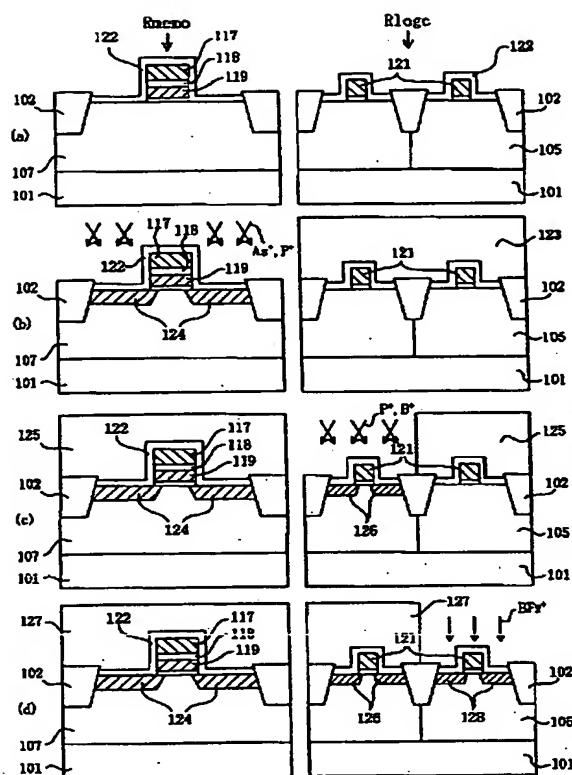
【図13】



【図14】



【図15】



フロントページの続き

(51)Int. Cl.⁷

H01L 29/792

識別記号

F I

ターマード (参考)

Fターム(参考) 5F001 AA25 AA32 AA43 AA63 AB08
 AD03 AD62 AE07 AE08 AG10
 5F048 AA01 AB01 AB03 AC03 BA01
 BB06 BB07 BB11 BB16 BB18
 BC06 BE03 DA25 DA30
 5F083 EP02 EP23 EP55 EP56 ER22
 GA01 GA09 GA27 JA04 JA32
 JA35 PR03 PR05 PR12 PR21
 PR29 PR36 PR37 PR43 PR53
 ZA12
 5F101 BA07 BA14 BA28 BA36 BB05
 BD24 BD37 BE06 BE07 BH14